

(19)日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11)特許出願公表番号

特表平8-504036

(43)公表日 平成8年(1996)4月30日

(51)Int.Cl.⁶
G 0 1 R 31/26
G 0 6 F 11/22
H 0 1 L 21/66

識別記号 庁内整理番号
G 9308-2G
3 3 0 B 7313-5B
Z 7735-4M

F I

審査請求 未請求 予備審査請求 未請求(全 18 頁)

(21)出願番号 特願平7-510333
(86) (22)出願日 平成6年(1994)9月14日
(85)翻訳文提出日 平成7年(1995)5月29日
(86)国際出願番号 PCT/US94/10415
(87)国際公開番号 WO95/09459
(87)国際公開日 平成7年(1995)4月6日
(31)優先権主張番号 129,753
(32)優先日 1993年9月30日
(33)優先権主張国 米国(US)
(81)指定国 EP(AT, BE, CH, DE,
DK, ES, FR, GB, GR, IE, IT, LU, M
C, NL, PT, SE), DE, GB, JP, KR

(71)出願人 アトメル・コーポレイション
アメリカ合衆国、95131 カリフォルニア
州、サン・ホーゼイ、オウニール・ドライ
ブ、2125
(72)発明者 ラム, ケン
アメリカ合衆国、80906 コロラド州、コ
ロラド・スプリングス、サン・ガブリエ
ル・プレイス、720
(74)代理人 弁理士 深見 久郎 (外3名)

(54)【発明の名称】 エリアアレイ配線チップのTABテスト

(57)【要約】

集積回路チップを外部パッケージングおよび回路に接続
しつつそれをテストするための方法および装置である。
複数の電気的に導電性のリード(45)はテープ自動化
ボンディング方法によって電気的に絶縁性の基板(35)
上に形成される。リードは、周辺に置かれたテスト
端子(60)から中央に置かれた配線パッド(55)に
延び、さらにその間で、チップ(15)の面(17)の
周辺(32)近くに置かれるボンドパッド(30)と整
列する。リードはボンドパッドに接続され、セメントで
包まれ、基板はチップ面に付着される。チップの電子特性
はテスト端子を介して電気的信号をチャネリングする
ことによってテストされる。リードはその後ボンドパッ
ド周辺近くで切離され、テスト端子をチップから切離
す。テストをパスしたチップはパッドグリッドアレイで
整列し得る配線パッドによって、パッケージ(95)の
一致する端子(90)に接続される。切離した後、電気
的に絶縁性のレジスト(80)はリード上に置かれるが
配線パッド上には置かれず、電気的に導電性のバンプ
(85)はパッケージ端子との接続のために配線パッド

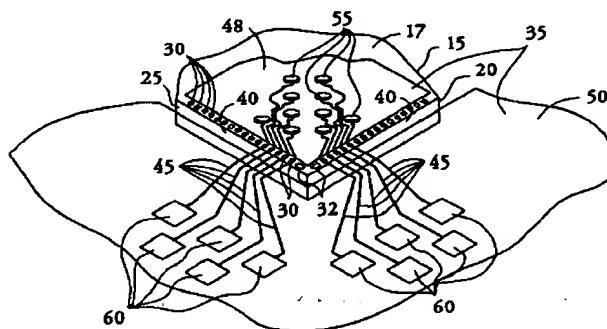


FIG. 1

【特許請求の範囲】

【解答例】
1. 集積回路チップを外部回路に接続するためのデバイスを作成する方法であつて

、
ボンドパッドがチップ面の周辺近くに置かれた集積回路チップを提供するステップと、

電気的に絶縁性の基板を有する可撓性のテープ、ならびに内部部分および外部部分を有する複数の電気的に導電性のリードを位置付けるステップとを含み、前記内部部分は前記ボンドパッドから前記チップ面の中央領域内に置かれた配線パッドに延び、前記外部部分は、前記テープが前記チップ面に隣接しかつ前記リードが前記ボンドパッドと整列するように前記ボンドパッド間から周辺に置かれたテスト端子に延び、さらに、

前記ボンドパッドを前記リードに前記配線パッドと前記テスト端子との間の前記リードの領域でボンディングし、それによって前記周辺内に前記配線パッドを位置付けるステップと、

前記集積回路チップをテストするステップとを含み、そのテストは前記テスト端子を介する電気的信号のチャネリングを含み、さらに、

前記チップの前記周辺近くで前記リードを切離して、それによって前記外部部分および前記テスト端子の両方を前記チップから切離すステップを含む、方法。

2. 前記チップの前記周辺近くで前記リードの前記外部部

分を切離した後前記配線パッドを外部回路にポンディングするステップをさらに含む、請求項1に記載の方法。

3. 前記チップの前記周辺近くで前記リードの前記外部部分を切離す前に前記基板を前記チップ面にポンディングするステップをさらに含む、請求項1に記載の方法。

4. 前記チップの前記周辺に近接する前記リードの前記外部部分を切離すステップは、

前記リードに前記周辺近くで弱くなつた部分を与えるステップと、
前記リードが前記弱くなつた部分で破壊するのを引起こすには十分であるが前

記リードがその他の場所で破壊するには不十分である応力を前記リードに与える
ステップとを含む、請求項3に記載の方法。

5. 前記リードを形成するステップは、前記基板上に電気的に導電性の層を堆積
するステップと、

前記導電層を選択的にエッチングするステップとをさらに含む、請求項1に記
載の方法。

6. 前記ボンドパッドを前記配線パッドと前記テスト端子との間の前記リードの
領域で前記リードにポンディングするに先立って、前記ボンドパッドに対応する
1片の前記基板を取除くステップをさらに含む、請求項1に記載の方法。

7. エリアアレイの前記配線パッドを前記チップ面から離れた前記テープの表面
上に形成するステップをさらに含む、請求項1に記載の方法。

8. 前記リードを前記表面上に形成するステップと、
電気的に絶縁性のコーティングを前記リード上に堆積するが前記配線パッド上
には堆積しないステップをさらに含む、請求項7に記載の方法。

9. ソルダバンプを前記配線パッド上に堆積するステップをさらに含む、請求項
8に記載の方法。

10. 前記ボンドパッド近くで前記リードを切離すステップは、前記リードと前
記ボンドパッドとの間の前記ボンドの周りの硬い基板で前記リードを包み込むス
テップを含む、請求項3に記載の方法。

11. 集積回路に電子接続およびサポート接続を提供するためのデバイスであつ
て、

集積回路チップであつてその面の周辺に隣接したボンドパッドを有するチップ
と、

対向する第1および第2の主表面ならびに前記チップ面の周辺近くにギャップ
を有する可撓性の電気的に絶縁性のテープとを含み、前記第1の主表面は前記チ
ップ面に接続され、さらに、

前記第2の主表面上にサポートされた複数の導電性かつ熱伝導性のリードを含
み、前記リードは前記チップ面の前記周辺上方に置かれたテスト端子を有しさら

みを有し、それによって前記リードは前記チップをテスト端子を介してテストし
ては非常に近い領域で切離し可能である、デバイス。

12. 前記面に隣接して置かれた前記リードをカバーするが前記配線パッドをカバーしない電気的に絶縁性の層を前記面に隣接して置かれたさらに含む、請求項

11に記載のデバイス。

13. 前記リードはボンドパッドへの前記接続点で硬い材料で包み込まれる、請求項11に記載のデバイス。

14. 前記面に隣接して置かれた前記リードは屈曲部を有し、長さを変更できる

、請求項 11 に記載のデバイス。

15. 前記テープの前記第1の主表面と第2の主表面との間の距離と同じ高さを有する電気的に導電性のバンプをさらに含み、前記バンプは前記ボンドパッドを経て接続する。請求項1-3に記載のデバイス。

前記リードに接続する、請求項13に記載の、

16. 集積回路チップを外部回路と接続するためのデバイスであって、

周辺に置かれたボンドパッドを有する面を有する集積回路チップと、一般的に対向して置かれた第1および第2の主表面と、前記面の前記周辺近くに置かれたボンドパッドを有する可撓性の電気的に絶縁性の、熱伝導性のテープとを含み

（二）著記表に付善され、さらに、

前記テープの前記第2の主表面と前記ボンドパッドとに

付着された複数の代替状態の、電気的に導電性のリードを含み、前記リードは、前記リードがテストのために前記ボンドパッドから周辺テスト端子に向かって外方向に延びる第1の接続状態を有し、さらに前記リードは前記リードがパッケージへの接続のために前記ボンドパッドから配線パッドに内方向に限定して延びて、前記リードがテストのために前記ボンドパッドから外方向に延びるリード続がなく、前記第2の接続状態では前記ボンドパッドから外方向に延びるリード

の部分が切離されている、デバイス。

17. 前記配線パッドを除いて、前記ボンドパッドから内方向に延びる前記リードの部分をカバーする電気的に絶縁性の層をさらに含み、前記配線パッドは電気的に導電性のバンプで覆われ、前記配線パッドは前記ボンドパッドから外方向に延びる前記リードの前記部分が切離された後パッケージに接続され得る、請求項16に記載のデバイス。

18. 前記リードは前記ボンドパッドの周辺の非常に近くでより小さな厚みを有し、前記リードは前記リードをその他の場所で切離すには不十分な量の応力で前記ボンドパッドの周辺の非常に近くで切離され得る、請求項16に記載のデバイス。

19. 前記配線パッドはエリアアレイに置かれる、請求項16に記載のデバイス。

20. 前記第1の主表面と第2の主表面との間の距離と同様の高さを有する電気的に導電性のバンプをさらに含み、

前記バンプは前記ボンドパッドを前記リードに接続する、請求項18に記載のデバイス。

【発明の詳細な説明】

エリアアレイ配線チップのT A B テスト

技術分野

この発明は、一般的に集積回路チップのパッケージングに関する。より特定的には、集積回路チップを外部回路と接続しつつそれをテストするための方法および装置に関する。

背景技術

コンピュータ製品などの集積回路（I C）アプリケーションの軽量な、薄い、低コストのパッケージング材料の必要性のために、テープ自動化ボンディング（T A B）と称されるI Cチップを接続する方法が開発され使用されてきている。T A BはI Cチップのために見掛けは35mmフィルムと同様な薄い可撓性のテープ上に電気的リードを形成することを含む。そのテープは電気的に絶縁性であり、リードは典型的には、テープ上に堆積されかつフォトリソグラフィーによってエッチングされた金属の薄い層から形成される。正確に形成されたリードは、チップの表面の周辺近くにおかれた集積回路からの信号端子と整列しつつそれらとの接続のためにチップから外方向に延びる。

T A Bに関する問題は、リードは断面かわずか1インチ

の数千分のいくつかであって、リードがチップの端子にボンディングされるべき点でテープから片持梁式に構成されていることである。このため、これらの小さい、片持梁式に構成された電気リードのみが、チップとチップのエッジのパッケージとの機械的なサポートとなるが、ここはチップのパッケージに対する相対的な位置の変化がもしあればそこからの変形応力を受けやすい領域である。この結果、リードはこの地点で破壊し、チップとパッケージを破損することになるかもしれない。

T A Bに関する別の問題は、リードがパッケージへのボンディングのためにチップから外方向に扇形に広がり、このためチップの大きさにより決定される領域

よりもより大きいパッケージ領域を必要とすることである。より小さなパッケージにおいて情報能力を濃縮することはしばしば望ましく、エレクトロニクスでは長いその傾向にあり、従来のTABパッケージングに必要とされたより大きな領域または「足跡」はこの傾向の障害となっている。

ICチップのパッケージングへの電気的および機械的接続の別のタイプは、「フリップチップ」または「制御された座屈によるチップ接続」（“controlled collapse chipconnection”）（C4）と呼ばれ、さらにルイスF.ミラー（Lewis F. Miller）らへの米国特許第3,401,126号およびルイスF.ミラーへの3,429,040号に説明されている。C4は、チップの信号端子をパッケ

ー

ジ上の対応の接続点と接続する半田球をチップの表面上に形成するステップを含み、その半田球はチップとパッケージとの間の電気的コンタクトおよび機械的サポートの両方を提供する。

フリップチップ型配線に関する1つの困難な点は、しばしばシリコンから形成されるチップと典型的にはセラミックや従来から印刷回路盤の形成に使用される材料から作成されるパッケージとでは、熱膨張係数がたいていかなり異なるということである。結果として、チップまたは基板、もしくは両方の温度変化が半田球とチップまたは基板との間の応力に繋がる。これは半田球配線の破壊を引起したりまたはチップの破損を生むチップ内の応力を引起すことになり得る。

フリップチップ配線に関する別の困難な点は、それらが、すべての信号端子が接続された状態のテストを可能にしないウェハプローブテストやTABで行なわれ得るような「バーアン」テストとは違って、チップをパッケージに付するに先立ってテストできないことである。モジュールのうちのどのチップが不良であるかを判断してそのチップを取り換えるよりも、マルチチップのパッケージでさえもそれを廃棄してしまうほうが安上がりなので、チップをパッケージに合せるというよりパッケージにチップを合せるというほうが適切な場合が多いと認識されているため、この問題は過少評価されてきた。

この技術に関するさらに別の困難な点は、多くのICチップはボンドパッドがチップ表面の周辺近くに1列で形成された状態で設計され組立てられるということである。チップは500を優に超えるそのようなボンドパッドを有し得るので、これらの端子を1列に組織するには端子間の分離を非常に小さくする必要があり、パッケージへの接続のための実効ソルダーバンプを確実に形成するには小さくなりすぎてしまう。

これらの困難な点を克服するための1アプローチがネルソン (Nelson) への米国特許第4,472,876号で説明されており、その特許はチップをパッケージに接続する電気的経路を含む可撓性のエリアボンディングテープを教示する。チップテープおよび導電経路は、熱膨張によって引起された応力を吸収したチップからパッケージに熱を伝導しそれによって膨張応力を低減する。しかしながら、ネルソンのアプローチは、チップの足跡よりもより大きな足跡を有する配線パッケージを要する。別のアプローチがカンドロス (Khandros) らへの米国特許第5,148,265号および5,148,266号の両方で説明されており、それらもまたチップ上の端子を基板上の端子と接続する導電リードを有する絶縁性のテープを説明する。基板との配線は、扇形に広からず、代わりにチップ表面の面積に等しいかまたはチップ表面の面積よりも小さい面積を有するアレイに置かれるが、チップはウェハプローブでテストされ

る。このウェハプローブテストはチップのすべての機能をテストできず、TABテストよりもよりコストが高くつき、さらにウェハプローブテストに適応すべく生じる熱伝導性の低減によって引起される付加的な不利点を有する。

この発明の目的は、パッケージへの配線に先立つチップの改良されたテストを提供することであって、一方その配線はチップの表面より大きくない表面を占有する。

発明の概要

この発明は、集積回路チップを外部要素と接続するための、テープ自動化ボンディングおよびエリアアレイ配線両方の利益の多くを提供する手段を提供する。電気的に導電性のリードのアレイが電気的に絶縁性の基板上に形成され、その

リードは従来のTABリードフレームのように、チップの面の周辺近くに1列に配置されたボンドパッドと整列するように、チップの周辺のテスト端子からチップに内方向に延びる。しかしながら、リードはボンドパッドから内方向に続き、チップの面上の基板の領域上におかれた配線パッドのアレイで終わる。

リードは、リードが整列するボンドパッドにボンディングされ、その後TABリードフレームのテスト端子でテストされる。外部要素との配線に先立つこのテストはパッケージに接続される機能的チップの歩留りを非常に増加させ、ひいてはコストを節約し、製品の品質を向上する。このテストをパスしたそれらのチップの、ボンドパッドをテスト

端子に接続するリードの部分がボンドパッドの近くで切られる。配線パッドはその後、パッケージ端子の一一致しているアレイに接続されるが、これは配線パッドと同様にチップの面の周辺近くのボンドパッドの列によって規定される面積よりも小さい面積を有するアレイで配列される。

この発明は、パッケージが欠陥チップを含む可能性がパッケージに含まれるチップの数とともに増大するので、特にマルチチップモジュールのパッケージングに効果を奏する。したがってこの発明によって与えられるチップパッケージングに先立つチップのテストは、モジュールの1つまたはそれ以上のチップが欠陥があるためにマルチチップパッケージングが廃棄され得る危険を低減する。さらに、小さな配線足跡は多くのチップが緊密にパッケージングされることを可能にする。

図面の簡単な説明

図1は、集積回路チップの部分に接続されたこの発明の部分の斜視図である。

図2は、いくつかの集積回路チップに接続されたこの発明のいくつかのデバイスを有するテープの部分の上面図である。

図3は、テストのために集積回路チップに接続されたこの発明のリードの断面図である。

図4は、テストリードが切断された後にパッケージに接続された図3のリードおよびチップの断面図である。

この発明を実行するための最良態様

図1を参照して、表面または面17ならびにエッジ20および25を有する半導体集積回路チップ15が示される。チップ15はその面17の周辺32近くにおかれた1列のボンドパッド30を有しそれは部分的にエッジ20および25によって規定される。ボンドパッドはチップ15の内部回路との電気的通信を提供する。

面17の上表部に薄い、可撓性の、電気的に絶縁性の、熱伝導性の基板またはテープ35が置かれる。テープ35は、面17の周辺上に、ギャップ40を有しそこではテープ35が取除かれている。テープ35の上表部には複数の薄い、電気的に導電性のリード45があり、それらはギャップ40を超えて延び、テープ35の内部領域48をテープ35の外部領域50と接続する。各導電リード45は、一方端は内部領域48上に置かれた配線パッド55でかつ他方端はテープ35の外部領域50上に置かれたテスト端子60で終わる。配線パッド55は内部領域48上でパッドグリッドアレイで配列される。

各導電リード45はボンドパッド30と整列しつつそれに接続される。リード45はボンドパッド30と配線パッド55とのそれぞれの接続間のいくつかの場所で曲がり、異なる熱膨張によって引起される応力を軽減するためにボンドパッド30と配線パッド55との間の距離が変化することを可能にする。

図2は、各々異なった回路15に対応する、リード45、配線パッド55、およびテスト端子60を有するテープ35の部分からなるいくつかのデバイス62を示す。例示を明瞭にするために、図1および2では数個のリード45、配線パッド55、およびテスト端子60を有するデバイス62が示されている。実際には、そのようなデバイス62は各々数百のそのようなリード45を有し、各リード45は配線パッド55をテスト端子60と接続する。テスト端子60はチップのテストのために、典型的にはデバイス62の図示しない外部回路への接続を容易にするためにチップ15の周辺のエリアアレイに形成される。

各テスト端子60は、長さがほぼ0.75mmの一般的に正方形の面を有し、隣接するテスト端子60から同様の距離だけ離される。配線パッド55はチップ

15の面17上にエリアアレイに整列され、各配線パッド55は一般的には約0.3mmの典型的な直径を有する円であって、隣接するそのようなパッドから約0.3mmだけ離される。チップ15のボンドパッド30は一般的には、隣接する周辺32に平行の方向に約0.5mmの幅を有する長方形である。リード45は幅がおよそ0.025mmであり、互いに少なくともその距離だけ離される。上述された寸法は368ボンドパッドを有するチップのためであって、より多いまたはより少ないボンドパッドを有するチップに合うように変更され得る。

テープ35は、ポリイミドまたはTABの技術分野で既知の任意の他の可撓性の電気的に絶縁性の基板から成り、厚さはおよそ0.1mmである。テープ35は送りと整列のためにスプロケット穴65を有し、見掛けは35mmカメラのフィルムと同様である。

デバイス62は、厚さが約0.3mmであり得る図示されていない銅の薄いシートをテープ35にエポキシで付着し、シートをエッチングしてリード45、配線パッド55、およびテスト端子60を形成することによって形成される。TABに既知のリードフレーム形成の代替の方法が代わりに使用され得る。ギャップ40はその後好ましくはエッチングによって周辺32に対応の一片としてテープ35から形成される。そしてテープ35は、リード45のコンタクト領域が正確にボンドパッド30に整列するようにチップ15の上に置かれる。内部領域48は、好ましくはシリコン接着剤などの熱伝導材料でチップ15の面17に付着され、リード45はボンドパッド30に接続される。リード45は当該技術分野において既知の熱圧縮ボンディングまたは他の技術によってボンドパッド30と接続され得る。好ましくは、図示されていない金または共晶合金ソルダーバンプがそのようなボンディングに対する補助としてボンドパッド30上に堆積されている。そのようなバンプはボンディングの間のリード45の破壊を防ぐ。その後、図示されていないエポキシのリボンがリード45とボードパッ

ド30との間の接続の周りおよびそれらの間に流され、それら接続を包み込み強固なものにする。

図3に示されたリード45の断面図で最も簡単に理解されるように、リード45はチップ15の周辺32の近くで他の場所より多くエッティングされ、その結果各々のリード45上に薄くなったセクション65が面17の周辺32のほぼ上方に存在する。図3は垂直方向に薄くなったまたは窪んだリード45の断面図を示すが、薄くなったセクション65はさらに、または代替的には、水平方向の厚さが低減され得る。内テープ領域48と外テープ領域50との間のテープ35のギャップ40が、周辺32の近くであるが面17の内部に非常に接近して位置される。TABボンディングバンプに使用される金または共晶などの他の金属から形成されたバンプ70がボンドパッド30上に堆積され、バンプ70はリード45にボンディングされる。そのようなバンプ70は、バンプが、リードが垂直に変形されることなくリード45に接続され得るように、好ましくはテープ35の厚さよりわずかにより高い頂部を有する。エポキシエンキャップシュラント75はこの断面図には図示されていないが周辺32内のギャップ40の領域の金バンプ70とリード45との間の接続の上、下、およびその間に流される。

エンキャップシュラント75が固まった後、チップ15は電気信号をテスト端子60に与えることによってテストさ

れる。上述されたように各テスト端子60はボンドパッド30に電気的に接続され、チップ15のすべてのその回路の全面的なテストが行なわれることが可能になる。ウェハプローブを用いてでは不可能なテストをこの態様では行なうことが可能である。たとえば、チップ15のバーインおよび温度テストが行なわれ得る。このテストをパスしたチップ15のみが回路板などのパッケージに接続され、それによってチップまたはパッケージのチップが十分に機能的である可能性を非常に高める。テープ35の内部領域48へのリード45の付着およびエポキシエンキャップシュラント75は、TABで既知の典型的な片持梁式のリード端部のボンドパッドへの接続よりもより強固な接続を提供する。

テスト端子60を介するチップ15のテストが完了すると、図4に示されているようにリード45は周辺32上方で切離される。この切離しは、リード45がキャップシュラント75近くのそれらの薄くなったセクション65で破壊するに十

分な応力をリード45に与えることによって達成される。代替的には、図示されていないがリード45はナイフまたは他の既知の方法で切離され、その場合リード45は上述の薄くなったセクション65を必要とし得ない。ソルダレジスト80は、リード45およびテープ35の内部領域48上に堆積されるが、半田が上に堆積されるべき配線パッド55によって与えられる「地面」からリードを分離するために、配線パッド55のアレイ上には堆積され

ない。その後ソルダバンプ85がパッケージ95の端子90の予め定められた領域との接続のために配線パッド55上に形成され、チップは既知のフリップチップ技術によってパッケージに接続される。

代替的には、配線パッド55のパッケージ95への接続は、図示されていないがz-軸接着剤によってなされ得る。z-軸接着剤はエポキシペーストでもよいが、1方向にだけ電気的に導電性であるように形成される。そのような接着剤がこの発明においてデバイス62をパッケージ95に接続すべく使用されるとき、それはデバイス62とパッケージ95とを接続する一般的な方向で電気を通すように形成され、一般的にその方向を横切って電気を通すことはない。このようにして、z-軸接着剤は、配線パッド55のアレイをそれらのそれぞれの端子90と接続する電気的に導電性の経路を形成し、交差接続または短絡回路を可能としない。

したがってチップ15のパッケージ95との配線は配線パッド55のアレイの領域のみを必要とし、その領域はチップ面17の領域よりも小さく、さらにチップ15は配線に先立って十分にテストされ得る。

【図1】

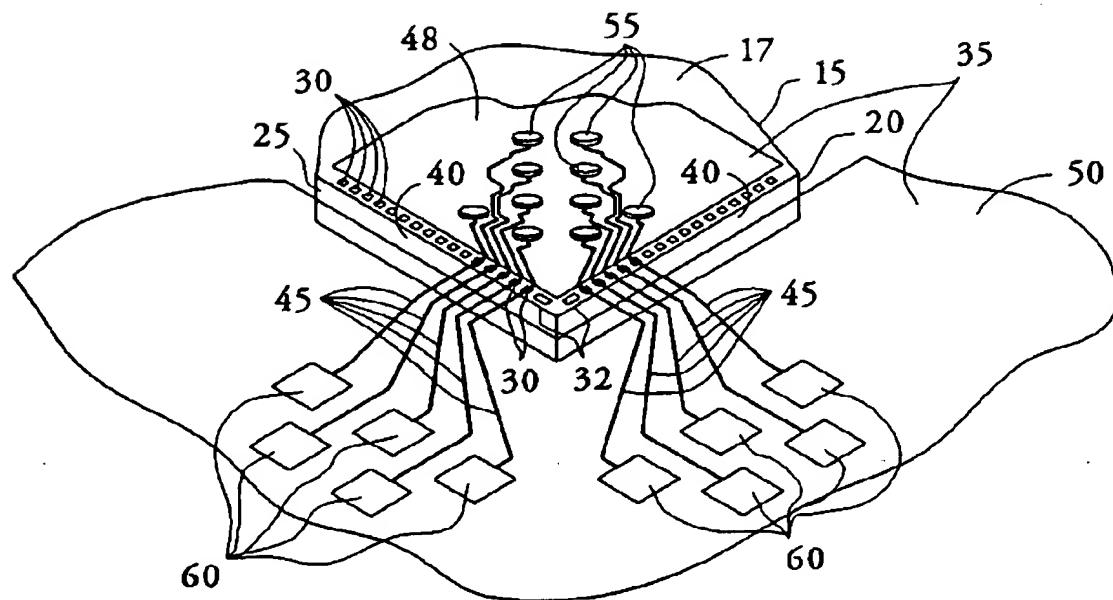


FIG. 1

【図2】

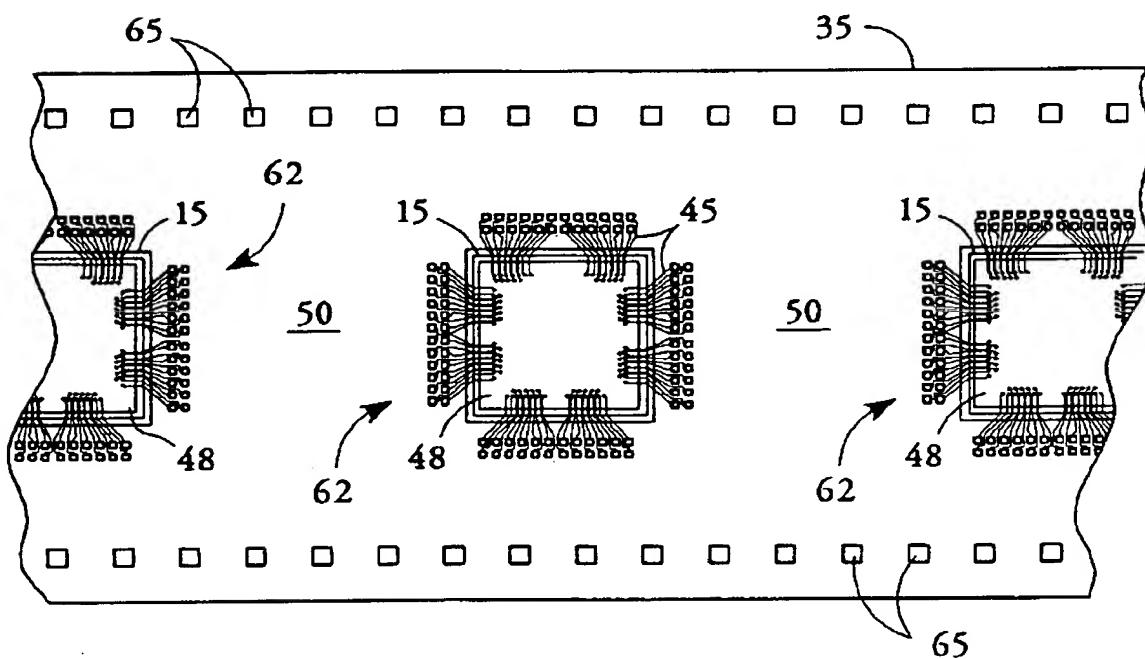


FIG. 2

【図3】

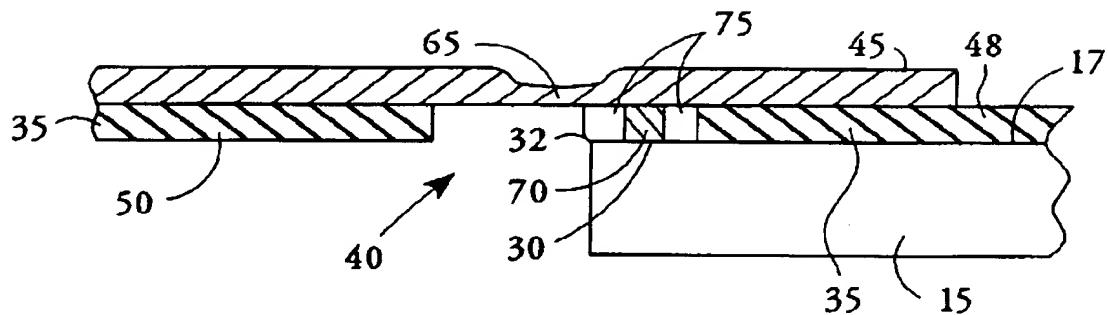


FIG. 3

【図4】

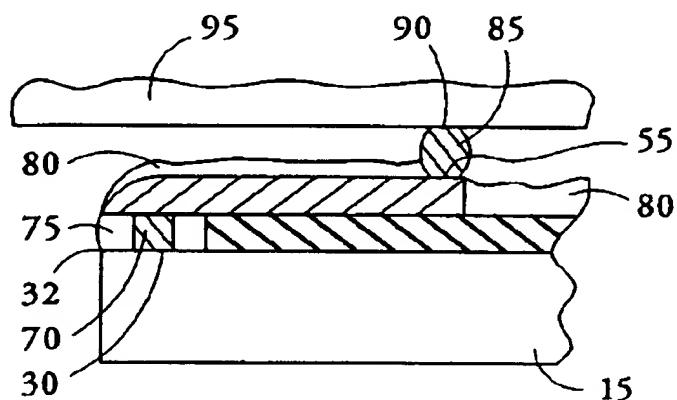
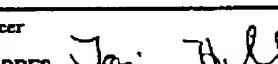


FIG. 4

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US94/10415
A. CLASSIFICATION OF SUBJECT MATTER IPC(6) :H01R 43/00; H01L 23/14 US CL :29/827; 174/52.4 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 29/827; 830, 832, 846; 174/52.4; 228/180.22, 437/8, 209, 220		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US,A, 4,866,508 (EICHELBERGER ET AL) 12 SEPTEMBER 1989	1-20
A	US,A, 4,903,113 (FRANKENY ET AL) 20 FEBRUARY 1990	1-20
A	US,A, 5,008,614 (SHREEVE ET AL) 16 APRIL 1991	1-20
A	US,A, 5,036,380 (CHASE) 30 JULY 1991	1-20
A	US,A, 5,042,147 (TASHIRO) 27 AUGUST 1991	1-20
A	US,A, 5,156,983 (SCHLESINGER ET AL) 20 OCTOBER 1992	1-20
A	US,A, 5,157,476 (YOSHIDA) 20 OCTOBER 1992	1-20
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "A" document defining the general state of the art which is not considered to be part of particular relevance "E" earlier document published on or after the international filing date "L" document which may throw doubt on priority claim(s) or which is cited to establish the publication date of another citation or other special reasons (as specified) "O" document referring to an oral disclosure, use, exhibition or other source "P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 20 DECEMBER 1994	Date of mailing of the international search report 11 JAN 1995	
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703) 305-3230	Authorized officer  Telephone No. (703) 308-1857	

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US94/10415

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP,A, 4-167,584 (NAGAO) 15 JUNE 1992	1-20

【要約の続き】

上に堆積され得る。